

CLIPPEDIMAGE= JP405029574A

PAT-NO: JP405029574A

DOCUMENT-IDENTIFIER: JP 05029574 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 5, 1993

INVENTOR-INFORMATION:

NAME

TAKAO, YOSHIHIRO

INT-CL (IPC): H01L027/108; H01L021/02 ; H01L021/76 ; H01L027/04
; H01L027/10
; H01L027/12

US-CL-CURRENT: 257/301

ABSTRACT:

PURPOSE: To form a capacitor having a required capacitance by forming a trench around an element forming area and increasing the depth of the trench by forming capacitors on the lower surface and side face of the element forming area.

CONSTITUTION: A trench 2 is formed into the first silicon substrate 1 so as to leave an element forming area 3 in the form of a mesa. Capacitors

5-7 are
formed on the surface of the area 3 and internal surface of the trench
2 with
the first insulating film 4 in between. Then, after the second insulating
film
8 or low-resistance polycrystalline silicon layer is formed on the
capacitors
by filling up the trench 2 and the surface is flattened, the substrate 1 is
stuck to the second silicon substrate 10 or low-resistance silicon
substrate
and the first insulating film 4 is exposed from the bottom section of the
trench 2 by grinding the first substrate 1 from the side opposite to its
stuck
surface. After exposing the film 4, the remaining element forming
area 3 is
separated for insulation. Therefore, a highly reliable capacitor having
a
required capacitance can be manufactured in the precisely formed
element
forming area.

COPYRIGHT: (C)1993,JPO&Japio

----- KWIC -----

Abstract - FPAR:

PURPOSE: To form a capacitor having a required capacitance by
forming a trench
around an element forming area and increasing the depth of the
trench by
forming capacitors on the lower surface and side face of the element
forming
area.

Abstract - FPAR:

CONSTITUTION: A trench 2 is formed into the first silicon substrate 1 so as to leave an element forming area 3 in the form of a mesa. Capacitors 5-7 are formed on the surface of the area 3 and internal surface of the trench 2 with the first insulating film 4 in between. Then, after the second insulating film 8 or low-resistance polycrystalline silicon layer is formed on the capacitors by filling up the trench 2 and the surface is flattened, the substrate 1 is stuck to the second silicon substrate 10 or low-resistance silicon substrate and the first insulating film 4 is exposed from the bottom section of the trench 2 by grinding the first substrate 1 from the side opposite to its stuck surface. After exposing the film 4, the remaining element forming area 3 is separated for insulation. Therefore, a highly reliable capacitor having a required capacitance can be manufactured in the precisely formed element forming area.

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-29574

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

21/02

B 8518-4M

21/76

D 9169-4M

27/04

C 8427-4M

8728-4M

H 0 1 L 27/ 10

3 2 5 L

審査請求 未請求 請求項の数4(全 9 頁) 最終頁に続く

(21)出願番号

特願平3-179401

(22)出願日

平成3年(1991)7月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 鷹尾 義弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 寒川 誠一

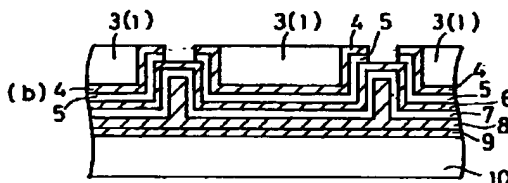
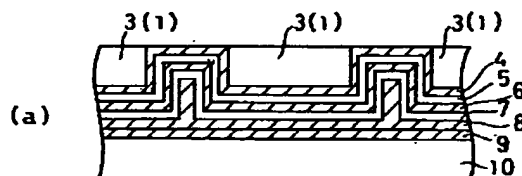
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 半導体装置のキャパシタの製造方法及びその方法を使用して製造されるキャパシタに関し、工程の複雑化を伴うことなく、微細化した素子形成領域に、必要とする容量の信頼性の高いキャパシタを製造する方法を提供することを目的とする。

【構成】 第1のシリコン基板1にトレンチ2を形成して素子形成領域3をメサ状に残留する工程と、メサ状の素子形成領域3の表面とトレンチ2の内面とに、第1の絶縁膜4を介してキャパシタ5・6・7を形成する工程と、トレンチ2内を埋めてキャパシタ上に第2の絶縁膜8または低抵抗多結晶シリコン層11を形成し、表面を平坦化して第2のシリコン基板10または低抵抗シリコン基板12と貼り合わせ、貼り合わせ面の反対側から第1のシリコン基板1を研削してトレンチ2底部の第1の絶縁膜4を露出させ、残留する素子形成領域3の絶縁分離をなす工程とをもって構成される。

キャパシタの製造工程図その2 (第1実施例)



【特許請求の範囲】

【請求項1】 第1のシリコン基板(1)にトレンチ(2)を形成して素子形成領域(3)をメサ状に残留する工程と、

該メサ状の素子形成領域(3)の表面と前記トレンチ(2)の内面とに、第1の絶縁膜(4)を介してキャパシタ(5・6・7)を形成する工程と、

前記トレンチ(2)内を埋めて前記キャパシタ(5・6・7)上に第2の絶縁膜(8)を形成し、表面を平坦化して該平坦化された表面と第2のシリコン基板(10)とを貼り合わせ、貼り合わせ面の反対側から前記第1のシリコン基板(1)を研削して前記トレンチ(2)底部の前記第1の絶縁膜(4)を露出させ、残留する素子形成領域(3)の絶縁分離をなす工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 第1のシリコン基板(1)にトレンチ(2)を形成して素子形成領域(3)をメサ状に残留する工程と、

該メサ状の素子形成領域(3)の表面と前記トレンチ(2)の内面とに、第1の絶縁膜(4)を介してキャパシタ(5・6・7)を形成する工程と、

前記トレンチ(2)内を埋めて前記キャパシタ(5・6・7)上に低抵抗多結晶シリコン層(11)を形成し、表面を平坦化して該平坦化された表面と低抵抗シリコン基板(12)とを貼り合わせ、貼り合わせ面の反対側から前記第1のシリコン基板(1)を研削して前記トレンチ(2)底部の前記第1の絶縁膜(4)を露出させ、素子形成領域(3)の絶縁分離をなす工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法を実施して、

前記絶縁分離された素子形成領域(3)にトランジスタを形成する工程を有することを特徴とする1ートランジスタ/1ーキャパシタ型メモリセルの製造方法。

【請求項4】 請求項2記載の半導体装置の製造方法を実施して、

前記絶縁分離された素子形成領域(3)にトランジスタを形成する工程を有することを特徴とする1ートランジスタ/1ーキャパシタ型メモリセルの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置のキャパシタを有する半導体装置の製造方法及びその方法を使用して製造されるキャパシタを有する1ートランジスタ/1ーキャパシタ型メモリセルの製造方法に関する。

【0002】

【従来の技術】半導体集積回路の高集積化にともなう素子形成領域は益々微細化する傾向にある。

【0003】微細化された素子形成領域に、必要とする容量のキャパシタを形成するのに、以下のような方法が

使用されている。例えば、1ートランジスタ1ーキャパシタ型のDRAMメモリセルの場合、図5(a)に示すように、メモリセル表面の凹凸を激しくすることによってキャパシタ電極面積を増加して必要な容量のキャパシタを形成している。なお、図5(a)において、21はp型シリコン層であり、22はスイッチ用MOSトランジスタのn型のソースであり、23は同じくn型のドレインであり、24はビット線であり、25はワード線であり、26は多結晶シリコンよりなる記憶ノード側キャパシタ電極であり、27はキャパシタ絶縁膜であり、28はタングステンよりなる固定電位側キャパシタ電極である。

【0004】また、図5(b)に示すように、フィン状にキャパシタを形成して容量を増やす方法もある。なお、図5(b)において図5(a)で示したものと同一のものは同一記号で示してある。

【0005】さらには、キャパシタ絶縁膜27に二酸化シリコンよりも誘電率の高い酸化タンタル(Ta_2O_5)等を使用することによって容量の増加を計っている。

【0006】

【発明が解決しようとする課題】素子形成領域の表面の凹凸を激しくする方法は、工程の増加や凹凸によってリソグラフィプロセスが困難になる等の工程の複雑化を招く。また、キャパシタ電極をフィン状に形成する方法も、同様に工程の増加と複雑化を招く。さらにまた、酸化タンタル等の二酸化シリコン以外のキャパシタ絶縁膜を使用すると、リーク電流の増加等によって信頼性が低下すると云う問題が発生する。

【0007】本発明の目的は、これらの欠点を解消することにより、工程の複雑化をともなうことなく、微細化した素子形成領域に、必要とする容量の信頼性の高いキャパシタを有する半導体装置を製造する方法及びその方法をもって製造されたキャパシタを有する1ートランジスタ/1ーキャパシタ型メモリセルの製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記の目的のうち、キャパシタを有する半導体装置の製造方法は、(イ)第1のシリコン基板(1)にトレンチ(2)を形成して素子形成領域(3)をメサ状に残留する工程と、このメサ状の素子形成領域(3)の表面と前記のトレンチ(2)の内面とに、第1の絶縁膜(4)を介して第1のキャパシタ電極(5)とキャパシタ絶縁膜(6)と第2のキャパシタ電極(7)とからなるキャパシタを形成する工程と、前記のトレンチ(2)内を埋めて前記のキャパシタ(5・6・7)上に第2の絶縁膜(8)を形成し、表面を平坦化して平坦化された表面と第2のシリコン基板(10)とを貼り合わせ、貼り合わせ面の反対側から前記の第1のシリコン基板(1)を研削して前記のトレンチ(2)底部の前記の第1の絶縁膜(4)を露出させ、残留する素子形成領域(3)の絶縁分離をなす工程とを有する半

導体装置の製造方法、及び、(ロ)第1のシリコン基板(1)にトレンチ(2)を形成して素子形成領域(3)をメサ状に残留する工程と、このメサ状の素子形成領域(3)の表面と前記のトレンチ(2)の内面とに、第1の絶縁膜(4)を介してキャパシタ(5・6・7)を形成する工程と、前記のトレンチ(2)内を埋めて前記のキャパシタ(5・6・7)上に低抵抗多結晶シリコン層(11)を形成し、表面を平坦化して平坦化された表面と低抵抗シリコン基板(12)とを貼り合わせ、貼り合わせ面の反対側から前記の第1のシリコン基板(1)を研削して前記のトレンチ(2)底部の前記の第1の絶縁膜(4)を露出させ、素子形成領域(3)の絶縁分離をなす工程とを有する半導体装置の製造方法によって達成され、また、上記の目的のうち、1-トランジスタ/1-キャパシタ型メモリセルの製造方法は、(ハ)請求項1記載の半導体装置の製造方法を実施して、前記の絶縁分離された素子形成領域(3)にトランジスタを形成する工程を有する1-トランジスタ/1-キャパシタ型メモリセルの製造方法、及び、(ニ)請求項2記載の半導体装置の製造方法を実施して、前記の絶縁分離された素子形成領域(3)にトランジスタを形成する工程を有する1-トランジスタ/1-キャパシタ型メモリセルの製造方法によって達成される。

【0009】

【作用】素子形成領域3を囲んでトレンチ2を形成し、素子形成領域3の下面と側面とにキャパシタを形成するので、トレンチ2の深さを深くすることによって必要なキャパシタ電極面積を確保することができ、キャパシタ絶縁膜として信頼性の高い二酸化シリコン膜を使用しても必要とする容量のキャパシタを形成することができ

る。
【0010】また、素子形成領域3は貼り合わせ技術によって単結晶シリコン基板をもって形成されているので、こゝに形成される素子は、通常のシリコン基板上に形成される素子と同一の電気的特性を持つことができる。

【0011】したがって、微細化した素子形成領域3にトランジスタを形成してキャパシタと接続することによって、十分な容量を有する1-トランジスタ/1-キャパシタ型メモリセルを形成することができる。

【0012】

【実施例】以下、図面を参照して、本発明の四つの実施例に係るキャパシタの製造方法について説明する。

【0013】第1例

図3に示すように、第1のシリコン基板1に深さ3 μ m、幅0.3 μ mのトレンチ2を形成し、素子形成領域3をメサ状に残留する。なお、同図(a)は平面図を示し、同図(b)は同図(a)のA-A断面図を示す。

【0014】図2(a)に示すように、トレンチ2の形成された第1のシリコン基板1に熱酸化を施して、50

0Å厚の第1の絶縁膜4を形成し、次に、n型の不純物のドーパされた500Å厚の多結晶シリコン層をCVD法を使用して堆積して第1のキャパシタ電極5を形成し、次いで、熱酸化をなして100Å厚のキャパシタ絶縁膜6を形成する。

【0015】次に、CVD法を使用してn型の不純物のドーパされた500Å厚の多結晶シリコン層を堆積して第2のキャパシタ電極7を形成し、次いで、CVD法を使用して、トレンチ2内を埋めて全面に二酸化シリコン膜を堆積した後表面を研磨して平坦化し、500Å厚の第2の絶縁膜8を形成する。

【0016】図2(b)に示すように、熱酸化により表面に500Å厚の第3の絶縁膜9の形成された第2のシリコン基板10と第1のシリコン基板1とを第2の絶縁膜8と第3の絶縁膜9とを介して重ね合わせ、両者間にパルス電圧を印加して相互に接着する。

【0017】図1(a)に示すように、第1のシリコン基板1のトレンチ2底部の第1の絶縁膜4が露出して素子形成領域3が絶縁分離されるまで貼り合わせ面の反対側から第1のシリコン基板1を研削する。

【0018】図1(b)に示すように、トレンチ底面において第1の絶縁膜4と第1のキャパシタ電極5とをエッチング除去して、それぞれの素子形成領域3の底面と側面とに第1のキャパシタ電極5とキャパシタ絶縁膜6と第2のキャパシタ電極7(共通電極)とからなるキャパシタを形成する。

【0019】第2例

第1例と同様にして第1のシリコン基板1に第1の絶縁膜4を介してキャパシタ5・6・7を形成した後、図4に示すように、第1例の二酸化シリコン絶縁膜に代えて低抵抗多結晶シリコン層11を埋め込んで表面を平坦化し、低抵抗シリコン基板12と貼り合わせる。このようにすれば、低抵抗シリコン基板12と第2のキャパシタ電極7とは電氣的に接続され、低抵抗シリコン基板12に固定電位を印加することによって第2のキャパシタ電極7に固定電位を印加することができ、固定電位を印加するための電極及び配線の形成を省略することができる。

【0020】なお、集積度を向上するために、第1のキャパシタ電極5と第1のシリコン基板1との間の第1の絶縁膜4を薄く形成する場合には、この第1のキャパシタ電極5が高電位になった時、第1のシリコン基板1の第1の絶縁膜4との界面に反転層が形成され、第1のシリコン基板1よりなる素子形成領域3に形成される素子のリーク電流が増加する可能性が発生する。この反転現象を防ぐには、第1のシリコン基板1の表層に予め反対導電型のイオンを注入しておけばよい。

【0021】第3例

図6の平面図に示すように、第1のシリコン基板1の表面に幅0.3 μ m、深さ2.8 μ mのトレンチ溝2を形成し、メモリセルのアクセストラジスタ形成領域(シ

5

リコンアイランド) 3を $2.9 \times 0.5 \mu\text{m}$ の大きさにメサ状に残留する。

【0022】図7の断面図に示すように、熱酸化をなして 500 \AA 厚の第1の絶縁膜4を形成し、次いで、n型の不純物をドーパした低抵抗多結晶シリコン層を 500 \AA 厚に堆積して第1のキャパシタ電極5を形成する。

【0023】図8の平面図に示すように、メサ状のシリコンアイランド3の中央から第1のキャパシタ電極5を幅 $0.3 \mu\text{m}$ にわたってエッチング除去する。図9の断面図に示すように、 80 \AA 厚のキャパシタ絶縁膜6を形成し、次いで、低抵抗多結晶シリコン層を堆積して第2のキャパシタ電極7を形成し、表面を鏡面研磨する。

【0024】図10に示すように、第1のシリコン基板1の鏡面研磨した第2のキャパシタ電極7と低抵抗の第2のシリコン基板10とを重ね合わせ、窒素ガス中において 900°C の温度に60分間程度加熱して相互に貼り合わせる。

【0025】図11に示すように、貼り合わせ面の反対側から第1のシリコン基板1を研削し、トレンチ底部の第1の絶縁膜4を露出させ、アクセストランジスタ形成領域3をメサ状に絶縁分離する。

【0026】図12の平面図と図13の断面図(図12のB-B断面図)とに示すように、第1のキャパシタ電極5の上面をバターニングして分離する。第1のキャパシタ電極5は、図8に示すようにシリコンアイランド3の中央において既に分離されているので、各シリコンアイラン*

$$C_s = 4 \times 8.854 \times 10^{-14} \times 9.59 \times 10^{-8} / (80 \times 10^{-8}) \\ = 42.5 \text{ fF}$$

となり、 $C_s > 40 \text{ fF}$ なる条件を満たす1ートランジスタ/1ーキャパシタ型メモリセルが形成される。

【0029】第4例

本発明に係るキャパシタをSRAM等の周辺回路に使用する例について説明する。

【0030】図15(a)に周辺回路の一部の等価回路を示す。図において、QP1・QP2はPチャンネルMOSFETであり、QN1・QN2はNチャンネルMOSFETであり、Cは信号の遅延を生じさせるキャパシタである。

【0031】図15(b)は、図15(a)に示す等価回路に従って製造された周辺回路装置の断面図であり、PチャンネルMOSFETQP1とNチャンネルMOSFETQN1との底面と側面とに本発明に係るキャパシタ5・6・7を形成することによって、MOSFETと同じシリコン基板表面にキャパシタを形成していた従来例に比べて周辺回路の占める面積を縮小することができる。

【0032】

【発明の効果】以上説明したとおり、本発明に係る半導体装置の製造方法においては、素子形成領域の底面と側面とにキャパシタを形成することによって、素子形成領域が微細化されても十分なキャパシタ面積を確保するこ※50

6

*ド3に2組の第1のキャパシタ電極5が形成されたことになる。

【0027】図14に示すように、ドライ酸素雰囲気中において 900°C の温度に30分間程度加熱して 100 \AA 厚のゲート酸化膜(図示せず)を形成し、次いで、タングステンポリサイドを 3000 \AA 厚に堆積し、これをバターニングして長さ $0.35 \mu\text{m}$ のゲート電極13を1つのシリコンアイランド3に2個形成し、ゲート電極13をマスクにしてn型の不純物をイオン注入してアクセストランジスタを形成する。二酸化シリコン膜(図示せず)を 1000 \AA 厚に形成した後、コンタクトホール14を形成し、アクセストランジスタの拡散領域15と第1のキャパシタ電極5とを配線16をもって接続する。ビットラインとアクセストランジスタとをビットラインコンタクト17を介して接続すると、1つのシリコンアイランド3に2個の1ートランジスタ/1ーキャパシタ型メモリセルが形成される。

【0028】こゝで、シリコンアイランド3の底面積は $1.3 \times 0.5 \mu\text{m}^2$ であり、シリコンアイランド3に隣接するキャパシタ電極の表面積は $1.3 \times 0.2 \mu\text{m}^2$ であり、シリコンアイランド3の側面積は $3.1 \times 2.8 \mu\text{m}^2$ であるので、メモリセル1個当りのキャパシタ電極の表面積は $9.59 \mu\text{m}^2$ となる。酸化膜の比誘電率を4とし、真空の誘電率を $8.854 \times 10^{-14} \text{ F/cm}$ とすると、キャパシタの絶縁膜6の厚さが 80 \AA であるのでキャパシタ容量 C_s は、

※とができるので、必要とする容量のキャパシタを信頼性の高い二酸化シリコン絶縁膜をキャパシタ絶縁膜に使用して、複雑な工程を伴うことなく形成することができる。また、素子形成領域は単結晶シリコン基板をもって形成されているので、通常のシリコン基板上に形成される素子と同一の電気的特性を有する素子を形成することができる。素子形成領域にトランジスタを形成すれば十分な容量を有する1ートランジスタ/1ーキャパシタ型メモリセルを形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るキャパシタの製造工程図(その2)である。

【図2】本発明の第1の実施例に係るキャパシタの製造工程図(その1)である。

【図3】トレンチの配置図である。

【図4】本発明の第2の実施例に係るキャパシタの断面図である。

【図5】従来技術に係るキャパシタの例を示す断面図である。

【図6】1ートランジスタ/1ーキャパシタ型メモリセルの製造工程図(その1)である。

【図7】1ートランジスタ/1ーキャパシタ型メモリセ

7

ルの製造工程図(その2)である。

【図8】1-トランジスタ/1-キャパシタ型メモリセルの製造工程図(その3)である。

【図9】1-トランジスタ/1-キャパシタ型メモリセルの製造工程図(その4)である。

【図10】1-トランジスタ/1-キャパシタ型メモリセルの製造工程図(その5)である。

【図11】1-トランジスタ/1-キャパシタ型メモリセルの製造工程図(その6)である。

【図12】1-トランジスタ/1-キャパシタ型メモリセルの製造工程図(その7)である。

【図13】1-トランジスタ/1-キャパシタ型メモリセルの製造工程図(その8)である。

【図14】1-トランジスタ/1-キャパシタ型メモリセルの製造工程図(その9)である。

【図15】SRAMの周辺回路の回路図と装置断面図である。

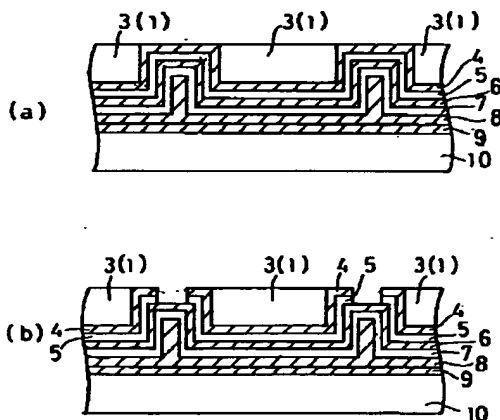
【符号の説明】

8

- 1 第1のシリコン基板
- 2 トレンチ
- 3 素子形成領域
- 4 第1の絶縁膜
- 5 第1のキャパシタ電極
- 6 キャパシタ絶縁膜
- 7 第2のキャパシタ電極
- 8 第2の絶縁膜
- 9 第3の絶縁膜
- 10 第2のシリコン基板
- 11 低抵抗多結晶シリコン層
- 12 低抵抗シリコン基板
- 13 ゲート電極
- 14 コンタクトホール
- 15 拡散領域
- 16 配線
- 17 ビットラインコンタクト

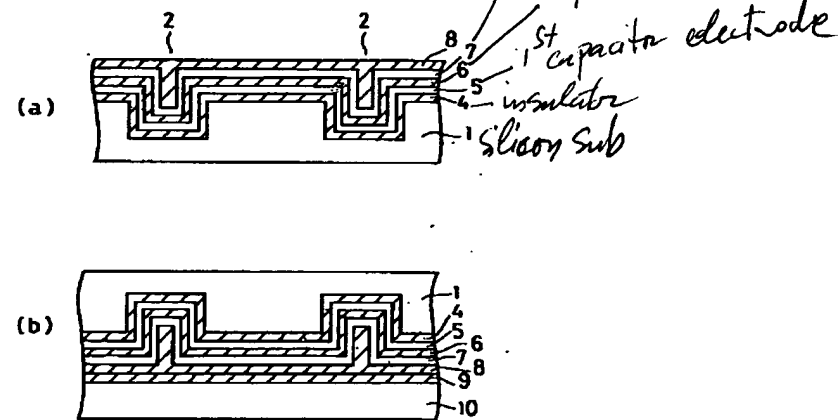
【図1】

キャパシタの製造工程図その2(第1実施例)



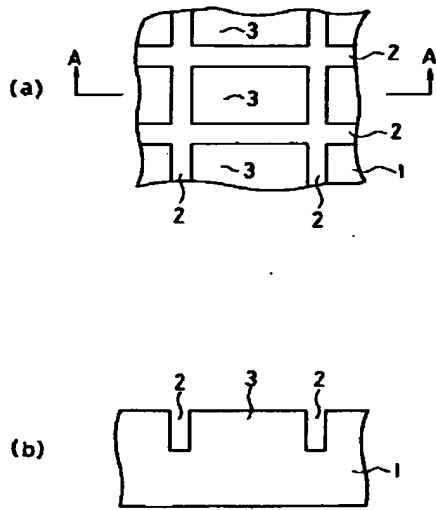
【図2】

キャパシタの製造工程図その1(第1実施例)



【図3】

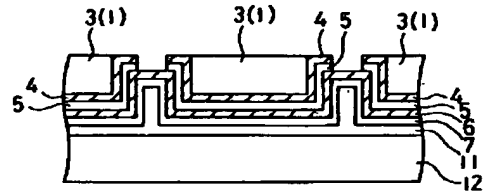
トレンチ配置図



A - A 断面

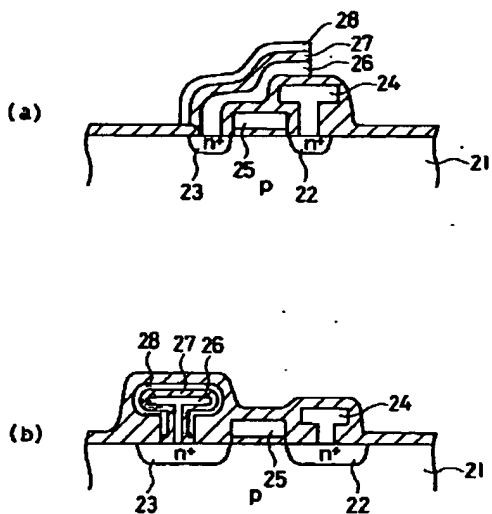
【図4】

キャパシタ断面図 (第2実施例)



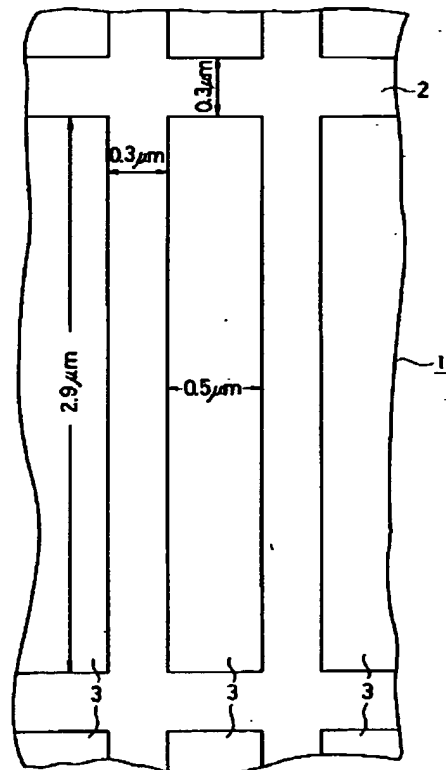
【図5】

従来技術に係るキャパシタの例



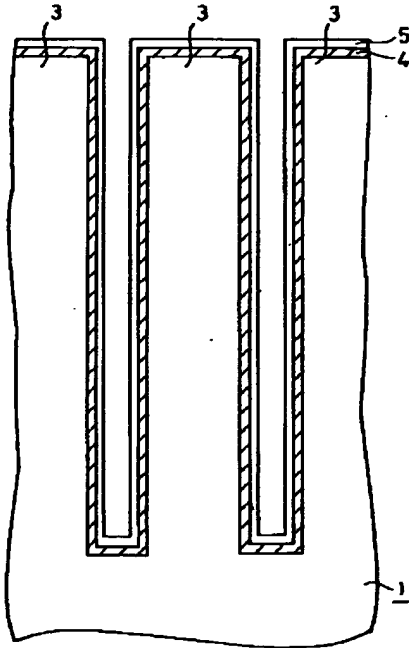
【図6】

メモリセルの製造工程図 (その1)



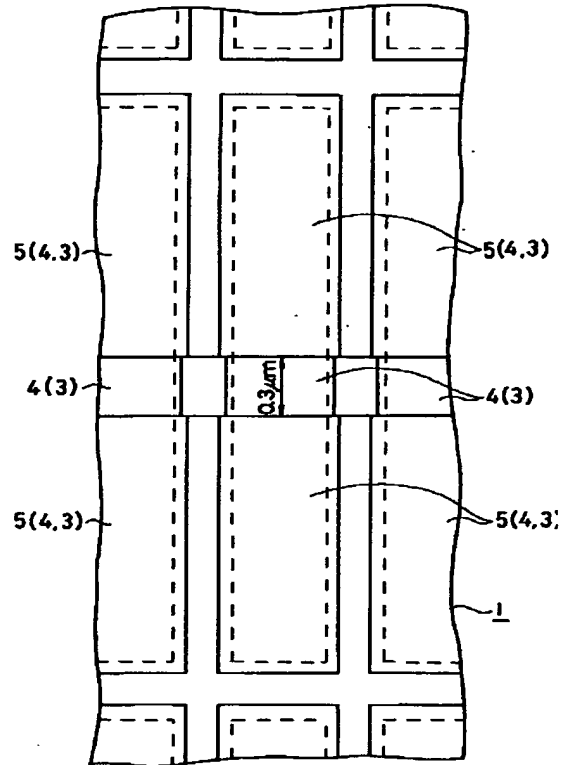
【図7】

メモリセルの製造工程図 (その2)



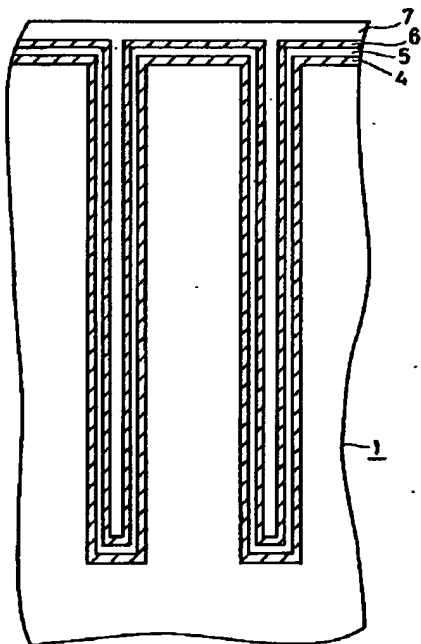
【図8】

メモリセルの製造工程図 (その3)



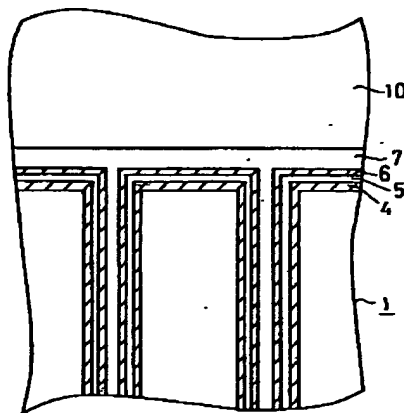
【図9】

メモリセルの製造工程図 (その4)



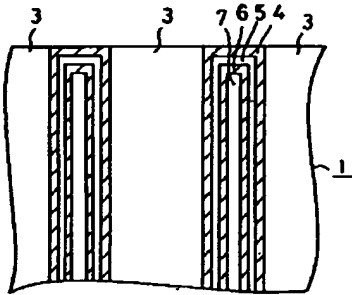
【図10】

メモリセルの製造工程図 (その5)



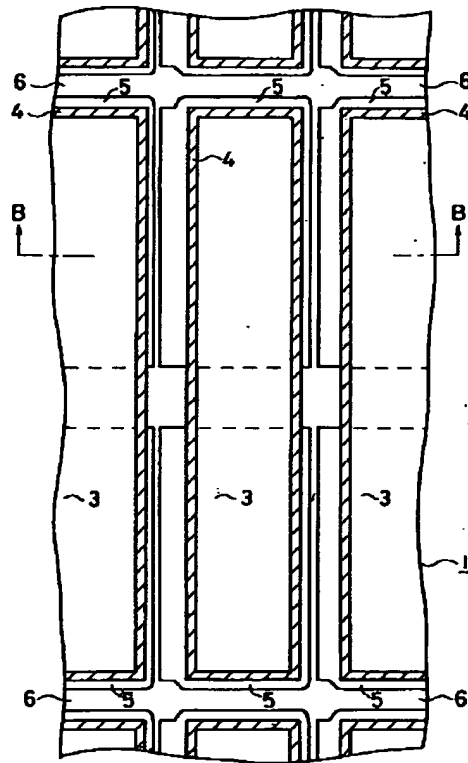
【図11】

メモリセルの製造工程図 (その6)



【図12】

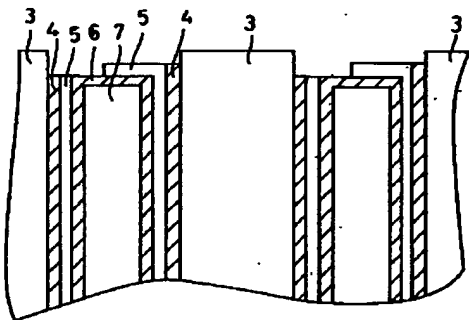
メモリセルの製造工程図 (その7)



【図13】

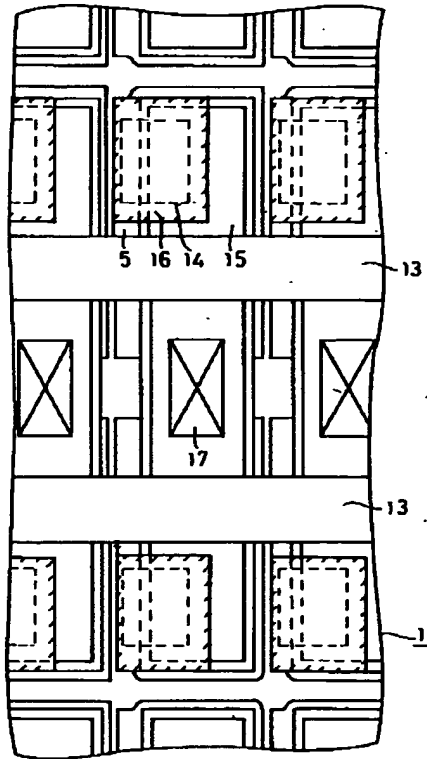
メモリセルの製造工程図 (その8)

図12のB-B断面図



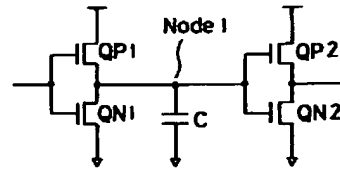
【図14】

メモリセルの製造工程図 (その9)

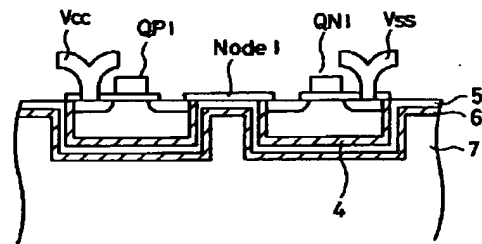


【図15】

SRAM周辺回路



(a)



(b)

フロントページの続き

(51)Int. Cl.⁵

H01L 27/10

27/12

識別記号

371

片内整理番号

8728-4M

B 8728-4M

F I

技術表示箇所

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of of 1-transistor / 1-capacitor type memory cell which has the capacitor manufactured using the manufacture method of the semiconductor device which has the capacitor of a semiconductor device, and its method.

[0002]

[Description of the Prior Art] It is increasingly tended with high integration of a semiconductor integrated circuit to make an element formation field detailed.

[0003] The following methods are used for forming the capacitor of the capacity needed for the element formation field which turned minutely. For example, in the case of a 1-transistor 1-capacitor type DRAM memory cell, as shown in drawing 5 (a), by making intense irregularity on the front face of a memory cell, capacitor electrode area is increased and the capacitor of a required capacity is formed. In addition, 21 is a p-type-silicon layer, in drawing 5 (a), 22 is the source of n type of the MOS transistor for a switch, similarly 23 is an n type drain, 24 is a bit line, 25 is a word line, 26 is a storage node side capacitor electrode which consists of polycrystal silicon, 27 is a capacitor insulator layer and 28 is a fixed potential side capacitor electrode which consists of a tungsten.

[0004] Moreover, as shown in drawing 5 (b), there is also the method of forming a capacitor in the shape of a fin, and increasing capacity. In addition, the same sign has shown the same thing as what was shown by drawing 5 (a) in drawing 5 (b).

[0005] Furthermore, the increase in capacity is measured by using tantalum oxide with a dielectric constant higher than 2 silicon oxides (Ta 2O₅) etc. for the capacitor insulator layer 27.

[0006]

[Problem(s) to be Solved by the Invention] The method of making intense irregularity of the front face of an element formation field causes complication of processes, like a lithography process becomes difficult with an increase and irregularity of a process. Moreover, the method of forming a capacitor electrode in the shape of a fin causes an increase and complication of a process similarly. Use of capacitor insulator layers other than 2 silicon oxides, such as tantalum oxide, generates the problem which says that reliability falls by the increase in a leakage current etc. further again.

[0007] The purpose of this invention is to offer the manufacture method of of 1-transistor / 1-capacitor type memory cell which has the capacitor manufactured with the method of manufacturing the semiconductor device which has a capacitor with the reliability of the capacity needed for the element formation field which turned minutely high [without being in canceling these faults and being accompanied by complication of a process], and its method.

[0008]

[Means for Solving the Problem] The manufacture method of a semiconductor device of having a capacitor among the above-mentioned purposes (**) -- a trench (2) being formed in the 1st silicon substrate (1), and an element formation field (3) with the process which remains in the shape of a mesa To the front face of the element formation field (3) of the shape of this mesa, and the inside of the aforementioned trench (2) The process which forms the capacitor which consists of the 1st capacitor electrode (5), and a capacitor insulator layer (6) and the 2nd capacitor electrode (7) through the 1st insulator layer (4), Fill the inside of the aforementioned trench (2) and the 2nd insulator layer (8) is formed on the aforementioned capacitor (5-6-7). The front face and the 2nd silicon substrate (10) by which flattening was carried out by carrying out flattening of the front face Lamination, Carry out the grinding of the 1st aforementioned silicon substrate (1) from the opposite side of a lamination side, and the 1st aforementioned insulator layer (4) of the aforementioned trench (2) bottom is exposed. the manufacture method of a semiconductor device of having the process which makes insulating separation of the element formation field (3) which remains, and (**) -- a trench (2) being formed in the 1st silicon substrate (1), and an element formation field (3) with the process which remains in the shape of a mesa The process which forms a capacitor (5-6-7) in the front face of the element formation field (3) of the shape of this mesa, and the inside of the aforementioned trench (2) through the 1st insulator layer (4), Fill the inside of the aforementioned trench (2) and a low resistance polycrystal silicon layer (11) is formed on the aforementioned capacitor (5-6-7). The front face and low resistance silicon substrate (12) by which flattening was carried out by carrying out flattening of the front face Lamination, Carry out the grinding of the 1st aforementioned silicon substrate (1) from the opposite side of a lamination side, and the 1st aforementioned insulator layer (4) of the aforementioned trench (2) bottom is exposed. It is attained by the manufacture method of a semiconductor device of having the process which makes insulating separation of an element formation

field (3). Moreover, the manufacture method of 1-transistor / 1-capacitor type memory cell among the above-mentioned purposes (**) -- the manufacture method of 1-transistor / 1-capacitor type memory cell which has the process which enforces the manufacture method of a semiconductor device according to claim 1, and forms a transistor in the aforementioned element formation field (3) by which insulating separation was carried out -- and (**) -- the manufacture method of a semiconductor device according to claim 2 is enforced, and it is attained by the manufacture method of 1-transistor / 1-capacitor type memory cell which has the process which forms a transistor in the aforementioned element formation field (3) by which insulating separation was carried out

[0009]

[Function] Since the element formation field 3 is surrounded, a trench 2 is formed and a capacitor is formed in the inferior surface of tongue and the side of the element formation field 3, the capacitor of the capacity needed even if it can secure a required capacitor electrode area and uses a diacid-ized silicon film reliable as a capacitor insulator layer by making the depth of a trench 2 deep can be formed.

[0010] moreover, the element formation field 3 -- lamination technology -- a single-crystal-silicon substrate -- with, since it is formed, the element formed in **** can have the same electrical property as the element formed on the usual silicon substrate

[0011] Therefore, 1-transistor / 1-capacitor type memory cell which has sufficient capacity can be formed by forming a transistor in the element formation field 3 which turned minutely, and connecting with a capacitor.

[0012]

[Example] Hereafter, with reference to a drawing, the manufacture method of the capacitor concerning four examples of this invention is explained.

[0013] As shown in 1st example drawing 3, the trench 2 with a depth [of 3 micrometers] and a width of face of 0.3 micrometers is formed in the 1st silicon substrate 1, and the element formation field 3 is remained in the shape of a mesa. In addition, this drawing (a) shows a plan and this drawing (b) shows the A-A cross section of this drawing (a).

[0014] As shown in drawing 2 (a), the polycrystal silicon layer of 500A ** which oxidizes thermally to the 1st silicon substrate 1 in which the trench 2 was formed, and forms the 1st insulator layer 4 of 500A ** next by which the n type impurity was doped is deposited using CVD, the 1st capacitor electrode 5 is formed, subsequently, it oxidizes thermally and the capacitor insulator layer 6 of 100A ** is formed.

[0015] Next, after depositing the polycrystal silicon layer of 500A ** by which the n type impurity was doped using CVD, forming the 2nd capacitor electrode 7, using CVD subsequently, filling the inside of a trench 2 and depositing a diacid-ized silicon film on the whole surface, flattening of the front face is ground and carried out, and the 2nd insulator layer 8 of 500A ** is formed.

[0016] As shown in drawing 2 (b), the 2nd silicon substrate 10 and 1st silicon substrate 1 by which the 3rd insulator layer 9 of 500A ** was formed in the front face of thermal oxidation are piled up through the 2nd insulator layer 8 and 3rd insulator layer 9, a pulse voltage is impressed among both, and it pastes up mutually.

[0017] The grinding of the 1st silicon substrate 1 is carried out from the opposite side of a lamination side until the 1st insulator layer 4 of trench 2 pars basilaris ossis occipitalis of the 1st silicon substrate 1 is exposed and insulating separation of the element formation field 3 is carried out, as shown in drawing 1 (a).

[0018] As shown in drawing 1 (b), in a trench base, etching removal of the 1st insulator layer 4 and the 1st capacitor electrode 5 is carried out, and the capacitor which becomes the base and the side of each element formation field 3 from the 1st capacitor electrode 5, the capacitor insulator layer 6, and the 2nd capacitor electrode 7 (common electrode) is formed.

[0019] After forming a capacitor 5-6-7 in the 1st silicon substrate 1 through the 1st insulator layer 4 like the 1st example [2nd] example, as shown in drawing 4, it replaces with the diacid-ized silicon insulator layer of the 1st example, the low resistance polycrystal silicon layer 11 is embedded, flattening of the front face is carried out, and it sticks with the low resistance silicon substrate 12. If it does in this way, it connects electrically and the low resistance silicon substrate 12 and the 2nd capacitor electrode 7 can omit the electrode for being able to impress fixed potential to the 2nd capacitor electrode 7, and impressing fixed potential by impressing fixed potential to the low resistance silicon substrate 12, and formation of wiring.

[0020] in addition, in order to improve a degree of integration, in forming thinly the 1st insulator layer 4 between the 1st capacitor electrode 5 and the 1st silicon substrate 1 When this 1st capacitor electrode 5 becomes high potential, possibility that the leakage current of the element which an inversion layer is formed in an interface with the 1st insulator layer 4 of the 1st silicon substrate 1, and is formed in the element formation field 3 which consists of the 1st silicon substrate 1 will increase occurs. What is necessary is just to pour the ion of an opposite conductivity type into the surface of the 1st silicon substrate 1 beforehand, in order to prevent this reversal.

[0021] As shown in the plan of 3rd example drawing 6, the trench slot 2 with a width of face [of 0.3 micrometers] and a depth of 2.8 micrometers is formed in the front face of the 1st silicon substrate 1, and the access transistor formation field (silicon island) 3 of a memory cell is remained in the shape of a mesa in size of 2.9x0.5 micrometers.

[0022] As shown in the cross section of drawing 7, it oxidizes thermally and the 1st insulator layer 4 of 500A ** is formed, subsequently the low resistance polycrystal silicon layer which doped the n type impurity is deposited on 500A **, and the 1st capacitor electrode 5 is formed.

[0023] As shown in the plan of drawing 8, etching removal of the 1st capacitor electrode 5 is carried out covering width of face of 0.3 micrometers from the center of the mesa-like silicon island 3. As shown in the cross section of drawing 9, the capacitor insulator layer 6 of 80A ** is formed, subsequently, a low resistance polycrystal silicon layer is deposited, the 2nd capacitor

electrode 7 is formed, and mirror polishing of the front face is carried out.

[0024] As shown in drawing 10, the 2nd capacitor electrode 7 in which the 1st silicon substrate 1 carried out mirror polishing, and the 2nd silicon substrate 10 of low resistance are piled up, and into nitrogen gas, grade heating is carried out for 60 minutes, and it sticks on the temperature of 900 degrees C mutually.

[0025] As shown in drawing 11, the grinding of the 1st silicon substrate 1 is carried out from the opposite side of a lamination side, the 1st insulator layer 4 of a trench bottom is exposed, and insulating separation of the access transistor formation field 3 is carried out at the shape of a mesa.

[0026] As shown in the plan of drawing 12, and the cross section (B-B cross section of drawing 12) of drawing 13, patterning of the upper surface of the 1st capacitor electrode 5 is carried out, and it dissociates. Since the 1st capacitor electrode 5 is already separated in the center of the silicon island 3 as shown in drawing 8, it means that 2 sets of 1st capacitor electrodes 5 were formed in each silicon island 3.

[0027] As shown in drawing 14, into dry oxygen atmosphere, grade heating is carried out for 30 minutes, and the gate oxide film (not shown) of 100Å is formed at the temperature of 900 degrees C. subsequently A tungsten polycide is deposited on 3000Å, patterning of this is carried out, the gate electrode 13 with a length of 0.35 micrometers is formed in one silicon islands [two] 3, the gate electrode 13 is used as a mask, the ion implantation of the n type impurity is carried out, and an access transistor is formed. After forming 2 silicon-oxide films (not shown) in 1000Å, a contact hole 14 is formed and the diffusion field 15 of an access transistor and the 1st capacitor electrode 5 are connected with wiring 16. If the bit line and an access transistor are connected through the bit-line contact 17, two 1-transistor / 1-capacitor type memory cells will be formed in one silicon island 3.

[0028] **** -- the area of base of the silicon island 3 -- $1.3 \times 0.5 \text{ micrometer}^2$ it is -- the surface area of the capacitor electrode which adjoins the silicon island 3 -- $1.3 \times 0.2 \text{ micrometer}^2$ it is -- the lateral area of the silicon island 3 -- $3.1 \times 2.8 \text{ micrometer}^2$ it is -- since -- the surface area of the capacitor electrode per memory cell -- $9.59 \text{ micrometer}^2$ It becomes. Since the thickness of the insulator layer 6 of a capacitor is 80Å when specific inductive capacity of an oxide film is set to 4 and the dielectric constant of vacuum is made into $8.854 \times 10^{-14} \text{ F/cm}$, it is the capacitor capacity CS. $CS = 4 \times 8.854 \times 10^{-14} \times 9.59 \times 10^{-8} / (80 \times 10^{-8}) = 1\text{-transistor} / 1\text{-capacitor type memory cell}$ which fulfills the conditions which serve as 42.5fF and become $CS > 40\text{fF}$ are formed.

[0029] The example which uses the capacitor concerning the 4th example this invention for circumference circuits, such as SRAM, is explained.

[0030] Some equal circuits of a circumference circuit are shown in drawing 15 (a). In drawing, QP1 and QP2 are P channel MOSFETs, QN1 and QN2 are N channel MOSFETs, and C is a capacitor which produces delay of a signal.

[0031] Drawing 15 (b) is the cross section of the circumference circuit apparatus manufactured according to the equal circuit shown in drawing 15 (a), and can reduce the area which a circumference circuit occupies compared with the conventional example in which the capacitor was formed on the same silicon-substrate front face as MOSFET by forming the capacitor 5 applied to the base and the side of P channel MOSFETQP1 and N channel MOSFETQN1 at this invention, 6, and 7.

[0032]

[Effect of the Invention] Since sufficient capacitor area is securable even if an element formation field turns minutely by forming a capacitor in the base and the side of an element formation field in the manufacture method of the semiconductor device concerning this invention as explained above, a reliable diacid-ized silicon insulator layer is used for a capacitor insulator layer for the capacitor of the capacity to need, and it can form, without being accompanied by the complicated process. Moreover, since the element formation field is formed with the single-crystal-silicon substrate, the element formed on the usual silicon substrate and the element which has the same electrical property can be formed. If a transistor is formed in an element formation field, 1-transistor / 1-capacitor type memory cell which has sufficient capacity can be formed.

[Translation done.]